

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-145771

(43)Date of publication of application : 20.06.1991

(51)Int.Cl.

H01L 31/10  
H01L 21/331  
H01L 29/73

(21)Application number : 01-284192

(71)Applicant : HAMAMATSU PHOTONICS KK

(22)Date of filing : 31.10.1989

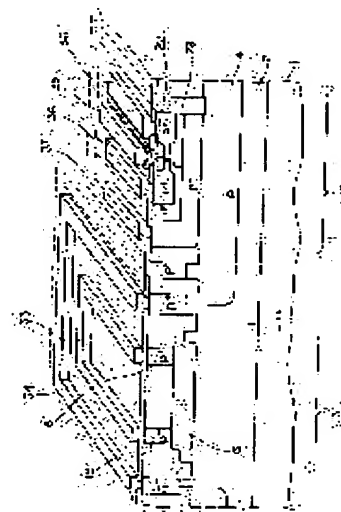
(72)Inventor : KYOMASU MIKIO  
SAWARA MASAOKI  
OKAJIMA KENICHI  
NAKAMURA HIROYASU

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To make a parasitic capacity induced by a wiring small and to enable an assembly process to be easily automated by a method wherein a PIN photodiode and an NPN bipolar transistor are monolithically formed on the same substrate, where the substrate is of N-type and the PIN photodiode and the NPN bipolar transistor are formed on an N-type epitaxial layer.

**CONSTITUTION:** A PIN photodiode 31 and an NPN transistor 32 are monolithically formed on the same substrate. The PIN photodiode 31 is a substrate PIN photodiode which make a high concentration N-type semiconductor substrate 1, a low concentration N-type epitaxial layer, and a P-type buried layer 6 serve as an N layer, an I layer, and a P layer respectively. An anode electrode 33 is provided to the P-type buried layer 6 through the intermediary of an electrode leading-out layer 16. An electrode 34 formed on a P+ tab layer functions as the cathode electrode of the PIN photodiode. The electrode 34 is added as a cathode electrode, whereby a parasitic resistance can be decreased as compared with a case that only a back electrode is provided as a cathode electrode.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

Best Available Copy

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-145771

⑬ Int.Cl.<sup>5</sup>  
H 01 L 31/10

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)6月20日

9055-5F H 01 L 31/10  
8225-5F 29/72

A  
※

審査請求 未請求 請求項の数 2 (全10頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-284192

⑰ 出 願 平1(1989)10月31日

⑱ 発 明 者 京 増 幹 雄 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑱ 発 明 者 佐 原 正 哲 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑱ 発 明 者 岡 島 賢 一 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会  
社内  
⑲ 出 願 人 浜松ホトニクス株式会 静岡県浜松市市野町1126番地の1  
社  
⑳ 代 理 人 弁理士 長谷川 芳樹 外3名  
最終頁に続く

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 高濃度n型半導体基板上に低濃度n型エ  
ピタキシャル層が形成され、さらにその上にn型  
エピタキシャル層が形成されている半導体装置で  
あって、

前記低濃度n型エピタキシャル層の所定領域の  
表層部にp型埋込層が形成されていることにより、  
前記高濃度n型半導体基板をN層、前記低濃度n  
型エピタキシャル層をI層および前記p型埋込層  
をP層とするPINホトダイオードが構成されて  
おり、

前記所定領域の近傍の前記n型エピタキシャル  
層中への不純物ドーピングにより形成されたp型ベ  
ース層およびn型エミッタ層ならびにn型エピタキ  
シャル層自身によるn型コレクタ層によってnp

nバイポーラトランジスタが構成されていること  
を特徴とする半導体装置。

2. 前記npnバイポーラトランジスタの下  
側に形成されたpウェル埋込層と前記PINホト  
ダイオードのカソードが逆バイアスになっている  
請求項1記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、受光素子と電子素子とが同一基板上  
にモノリシックに形成された半導体装置に関する  
ものである。

(従来の技術)

受光素子としてPINホトダイオードが用いら  
れ、その信号処理回路用の電子素子としてnpn  
バイポーラトランジスタが用いられている光受信  
回路が従来から知られている。しかし、その従来  
回路では、PINホトダイオードとnpnバイポ  
ーラトランジスタとがそれぞれ別々のチップに形  
成されていて、ハイブリッドIC基板上にて相互

に配線接続されていたにすぎない。

〔発明が解決しようとする課題〕

しかし、従来のハイブリッド IC による構成では、配線による寄生容量が大きいとか、組み込み工程を自動化しにくい等の問題があり、モノリシック化が望まれていた。

本発明の課題は、このような問題点を解消することにある。

〔課題を解決するための手段〕

上記課題を解決するために、本発明の半導体装置は、高濃度 n 型半導体基板上に低濃度 n 型エピタキシャル層が形成され、さらにその上に n 型エピタキシャル層が形成されている半導体装置であって、低濃度 n 型エピタキシャル層の所定領域の表層部に p 型埋込層が形成されていることにより、高濃度 n 型半導体基板を N 層、低濃度 n 型エピタキシャル層を I 層および p 型埋込層を P 層とする PIN ホトダイオードが構成されており、PIN ホトダイオード領域の近傍の n 型エピタキシャル層中への不純物ドーピングにより形成された p 型ペー

ス層および n 型エミッタ層ならびに n 型エピタキシャル層自身による n 型コレクタ層によって npn バイポーラトランジスタが構成されているものである。

〔作用〕

高濃度 n 型半導体基板の上を低濃度 n 型エピタキシャル層とすることにより、PIN ホトダイオードおよび npn バイポーラトランジスタが同一基板上に共存できる。そして、n pn バイポーラトランジスタの下側に埋め込まれた p ウェル埋込層と PIN ホトダイオードのカソードの間を pn 接合とすることにより、PIN ホトダイオードと npn バイポーラトランジスタを接合分離することができる。

〔実施例〕

第 1 図は本発明の半導体装置の一実施例を示す部分断面斜視図であり、第 2 図はその製造過程を示す工程断面図である。

初めに第 2 図を参照しながらその製造方法を説明する。不純物濃度が  $10^{20} \sim 10^{21} / \text{cm}^3$  程度

— 3 —

の高濃度 n 型半導体基板 1 上に不純物濃度が  $10^{12} \sim 10^{14} / \text{cm}^3$  程度の低濃度 n 型エピタキシャル層 2 を  $30 \sim 50 \mu\text{m}$  の厚さで形成する。なお、図示が省略されているが半導体基板 1 の裏面にはオートドーピング阻止のための  $\text{SiO}_2$  膜が形成されている（第 2 図（A）参照）。つぎに、表面に  $\text{SiO}_2$  膜 3 を形成し、フォトリソグラフィ技術によってその  $\text{SiO}_2$  膜 3 を加工する。その  $\text{SiO}_2$  膜 3 をマスクとして上方からボロンをイオン注入し、npn トランジスタのための p ウェル埋込層 4 を形成する。この p ウェル埋込層 4 の不純物濃度は  $10^{15} \sim 10^{16} / \text{cm}^3$  程度である

（第 2 図（B）参照）。p ウェル埋込層 4 の位置で示されるように、同図におけるほぼ右半分が npn トランジスタ形成領域であり、左半分が PIN ホトダイオード形成領域である。ついで再び、フォトリソグラフィ技術などを用いて表面の  $\text{SiO}_2$  膜 3 を加工し、npn トランジスタ形成領域に開口をする  $\text{SiO}_2$  膜をマスクとしてアンチモン（Sb）をドーピングする。これによって、n

— 4 —

pn トランジスタ用の n 型埋込層 5 が形成される。次に、再びフォトリソグラフィ技術などを用いて PIN ホトダイオード形成領域に開口を有する  $\text{SiO}_2$  のマスクを形成し、これを介してボロンをドーピングすると、PIN ホトダイオード用の p 型埋込層 6 が形成される（第 2 図（C）参照）。第 3 図は上述した埋込層 4～6 のプロファイルを示しており、曲線 A がアンチモンのプロファイルであり、曲線 B がボロンのプロファイルである。その後、表面の  $\text{SiO}_2$  膜 3 を除去し、 $2 \mu\text{m} \pm 0.2 \mu\text{m}$  の厚さの n 型エピタキシャル層 7 を形成する。その不純物濃度は  $10^{15} \sim 10^{16} / \text{cm}^3$  程度である（第 2 図（D）参照）。以上で、埋込拡散とエピタキシャル成長工程が終わる。

引き続いて、分離プロセスについて説明する。

n 型エピタキシャル層 7 の表面全体に、 $\text{SiO}_2$  膜 8 および  $\text{SiN}$  膜 9 を形成する。そして、その上にレジスト 10 を塗布し、フォトリソグラフィ技術を用いて所望領域の  $\text{SiO}_2$  膜 8 および  $\text{SiN}$  膜 9 をエッチングで除去する。その後、

— 5 —

— 6 —

$\text{SiO}_2$  膜 8 および  $\text{SiN}$  膜 9 をマスクとして、 $n$  型エピタキシャル層 7 を表面から  $0.1\mu\text{m}$  の深さまでウェットエッチングし、さらに  $0.7\mu\text{m}$  の深さまで異方性ドライエッチングして、浅い溝を形成する（第 2 図（E）参照）。ここで、所望領域とは、 $\text{npn}$  トランジスタの分離領域、 $\text{npn}$  トランジスタ内部に将来設ける  $p$  型ベース層とコレクタウォールとの分離領域、 $\text{PIN}$  フォトダイオードの受光領域等である。

つぎに、レジスト 11 を塗布し、フォトリソグラフィ技術により分離領域に設けられた溝の上方のみを除去する。そして、レジスト 11 をマスクとして  $3.0\mu\text{m}$  の異方性ドライエッチングを行い、浅い溝のうち分離領域にある溝を深くする（第 2 図（F）参照）。つぎに、レジスト 10、11 を除去した後、再びレジスト（図示せず）を塗布しフォトリソグラフィ技術を利用してボロンをイオン注入し、 $p^+$  タブ 112 を形成し、上記マスク形成工程を繰り返してアンチモンを注入し、 $n^+$  タブ 12 を形成する。これらタブ 12、

112 は、 $\text{PIN}$  ホトダイオード領域および  $\text{npn}$  トランジスタ領域をそれぞれ取り囲むように形成される。ついで、レジストを除去し、各溝の内部に  $\text{SiO}_2$  膜および  $\text{SiN}$  膜を形成する。そして、 $\text{SiN}$  の異方性エッチングにより各溝の側壁の  $\text{SiN}$  膜を残したまま底部の  $\text{SiN}$  膜を除去する（第 2 図（G）参照）。

続いて、6 気圧、 $1050^\circ\text{C}$  雰囲気中で熱酸化を行う。これにより、 $\text{SiN}$  膜で覆われていない部分が酸化される。この酸化によって得られる酸化膜の厚さは  $1.5\mu\text{m}$  程度であり、浅い溝をほぼ埋め尽くしてしまう。その後、ポリシリコン 13 を表面全体に堆積することにより、深い溝も穴埋めしてしまう。そして、ポリシリコン 13 の表面に  $\text{SiO}_2$  膜および  $\text{SiN}$  膜を形成し、ドライエッチングにより深い溝の上部のみに残るようにパターニングする（第 2 図（H）参照）。つぎに、ポリシリコン 13 をエッチングする。これによって、深い溝の内部にのみポリシリコン 13 が残る。そして、表面に残された  $\text{SiN}$  膜をドライエッチ

- 7 -

ングにより除去した後、酸化を行って表面を平坦化する（第 2 図（I）参照）。

つぎに、表面に  $\text{SiO}_2$  膜 26 および  $\text{SiN}$  膜 27 を形成する。これらの膜の所望の領域をフォトリソグラフィ技術を利用してパターニングする。残された  $\text{SiO}_2$  膜 26 および  $\text{SiN}$  膜 27 をマスクとして磷を拡散することにより、 $\text{npn}$  トランジスタのコレクタウォールとなる  $n^+$  層 15 を形成する（第 2 図（J）参照）。続いて、 $\text{SiN}$  膜の開口部を酸化した後、エミッタ領域にマスク 17 を形成し、ボロンをイオン注入して外部ベース 18 を形成する。さらに、フォトリソグラフィ技術でボロンをイオン注入して真性ベース 19 を形成する。その後、 $\text{SiO}_2$  膜 20 を化学的気相成長法（ $\text{CVD}$ ）で堆積し、加熱してプロファイル形成する。

つぎに、表面の  $\text{SiO}_2$  膜 20 および  $\text{SiN}$  膜をドライエッチングで除去した後、ポリシリコン 21 を堆積する。そして、ひ素をイオン注入する（第 2 図（K）参照）。その後、 $\text{SiO}_2$  膜を  $\text{C}$

- 8 -

$\text{VD}$  で堆積し、加熱してエミッタ 22 を形成する。なお、ベース 19 の下側に残されてる  $n$  型エピタキシャル層がコレクタ 23 となる。そして、 $\text{SiO}_2$  膜および不要なポリシリコンをドライエッチングして除去し、再び  $\text{SiO}_2$  膜を  $\text{CVD}$  で堆積する（第 2 図（L）参照）。その後、マスク（図示せず）を介して  $\text{SiO}_2$  膜をエッチングすることで開口を形成し、この開口に第 2 図（M）に示す如く電極を形成する。

第 1 図に示す半導体装置は、以上の工程を経た後、必要な電極を形成したものであり、同一基板上に  $\text{PIN}$  ホトダイオード 31 と  $\text{npn}$  トランジスタ 32 とがモノリシックに形成されている。 $\text{PIN}$  ホトダイオード 31 は、高濃度  $n$  型半導体基板 1 を  $N$  層、低濃度  $n$  型エピタキシャル層 2 を  $I$  層、 $p$  型埋込層 6 を  $P$  層とする基板  $\text{PIN}$  ホトダイオードである。 $p$  型埋込層 6 には電極取出層 16 を介してアノード電極 33 が設けられている。また、 $p^+$  タブ層上の電極 34 は、 $\text{PIN}$  ホトダイオードのカソード電極として機能するものであ

る。この電極34がカソード電極として付加されることにより、カソード電極を裏面電極のみとしたときよりも寄生抵抗を低減することができる。電極間に逆バイアスが印加された状態で光が入射すると、低濃度n型エピタキシャル層2の空乏領域でキャリアが発生し、このキャリアが空乏領域の電界によって移動して光電流となる。

npnトランジスタ32には、図示のように、エミッタ電極35、ベース電極36、コレクタ電極37が設けられている。pウェル埋込層4は周囲の素子との間のパンチスルーを防止するために設けられている。

以上の作用、効果に加えて、本発明の半導体装置は、下記のような格別の作用を奏する。

すなわち、仮に半導体基板を $p^+$ 型とし、その上に $p^-$ 型のエピタキシャル層を形成し、その上にn型埋込層を形成してPINホトダイオードを構成すると共に、第1図と同様のnpnトランジスタを構成したときは、半導体基板がアースされることになり、その等価回路は第4図のようにな

— 1 1 —

る。この電極34がカソード電極として付加されることにより、カソード電極を裏面電極のみとしたときよりも寄生抵抗を低減することができる。電極間に逆バイアスが印加された状態で光が入射すると、低濃度n型エピタキシャル層2の空乏領域でキャリアが発生し、このキャリアが空乏領域の電界によって移動して光電流となる。

#### 〔発明の効果〕

以上説明したように、本発明の半導体装置によれば、PINホトダイオードおよびnpnバイポーラトランジスタが同一基板上にモノリシックに形成されているので、配線に基づく寄生容量を小さくできる等の効果を有する。また、基板をn型としてその上のn型エピタキシャル層上にPINホトダイオードとnpnトランジスタを形成しているため、両者を接合分離することが可能になる。したがって、光通信用受信回路等に用いた場合、従来回路に比較して一層高速に動作させることが可能となる。また、ハイブリッドICのような組み込み工程が不要である。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例である半導体装置の部分断面斜視図、第2図はその製造方法を示す工

— 1 3 —

る。同図において、 $C_j$ は回路の電源とアースとの間に形成される寄生ダイオードを示す。図から明らかなように、npnトランジスタのアースとPINホトダイオードのカソードが共通になるため、PINホトダイオードのバイアス電圧は寄生ダイオード $C_j$ に制約され、npnトランジスタの電源電圧より上げることができない。

これに対し、本発明のように半導体基板1をn型とすると、npnトランジスタ31の下のpウェル埋込層4がアースとなり、基板1は電源に接続される。このため、npnトランジスタのアースに対してPINホトダイオードが逆バイアスとなるので、PINホトダイオード31へのバイアス電圧をnpnトランジスタの電源とは無関係の高電圧にできる。

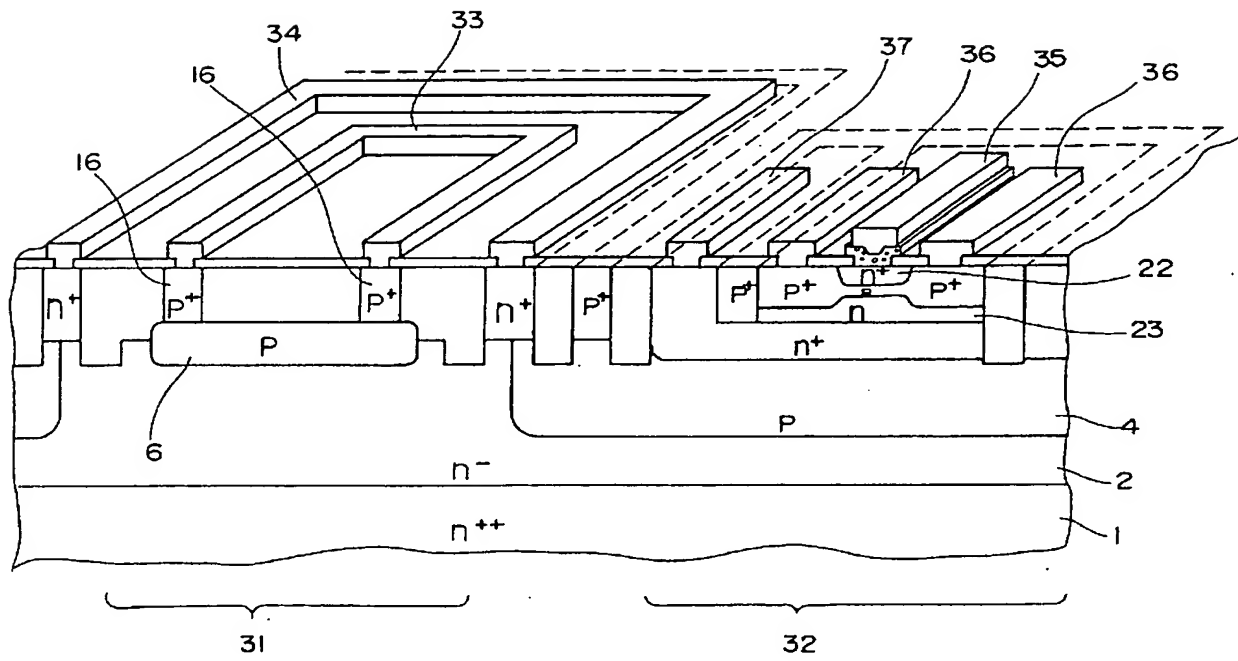
第5図はこのときの等価回路である。図から明らかな通り、npnトランジスタのアースに相当するpウェル埋込層4とPINホトダイオードのカソード(n型エピタキシャル層)2は接合分離されるため、PINホトダイオード31のバイア

— 1 2 —

程断面図、第3図は埋込層のプロファイルを示すグラフ、第4図および第5図は本発明の格別の作用、効果を示す等価回路図である。

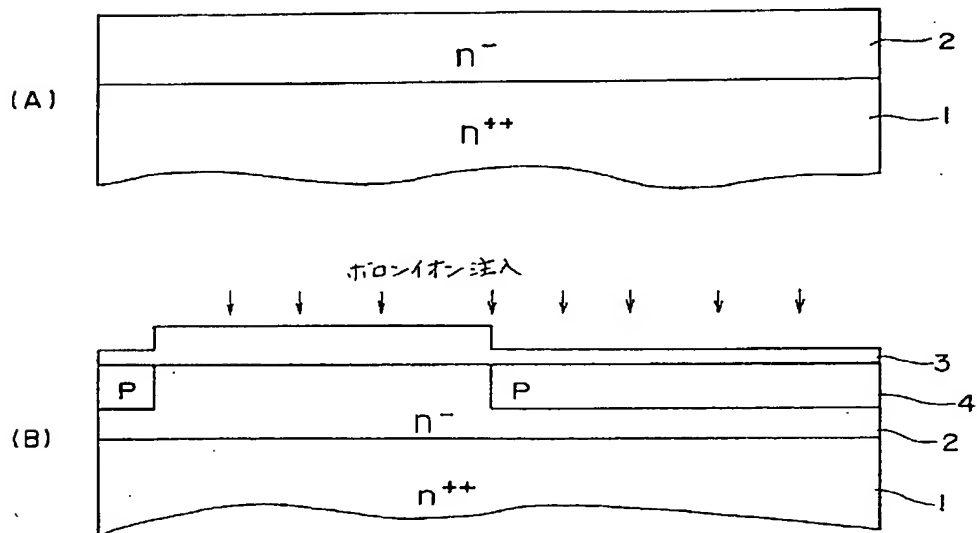
1…高濃度n型半導体基板、2…低濃度n型エピタキシャル層、4…pウェル埋込層、6…p型埋込層、12… $n^+$ タブ、112… $p^+$ タブ、18…外部ベース、19…真性ベース、22…エミッタ、23…コレクタ、31…PINホトダイオード、32…npnトランジスタ。

代理人弁理士 長谷川 芳 樹



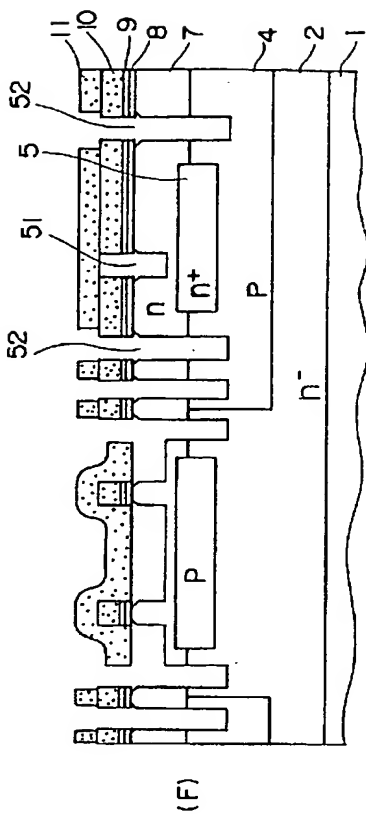
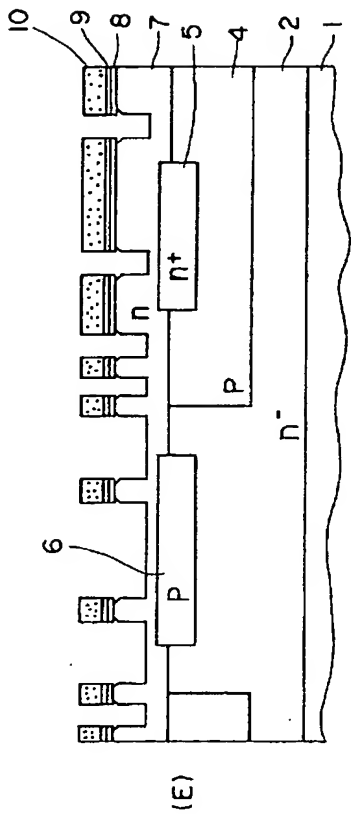
実施例

第 1 図

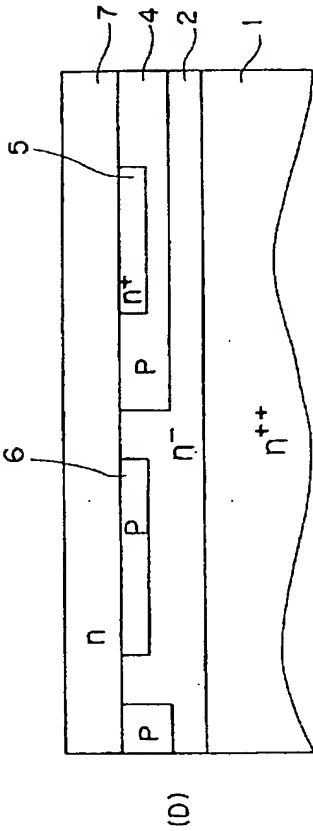
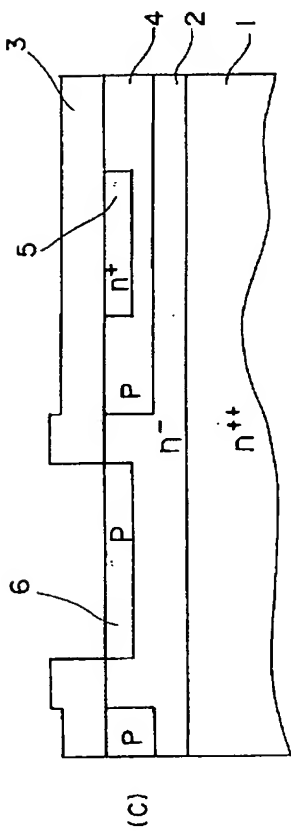


実施例の製造方法 (1)

第 2 図

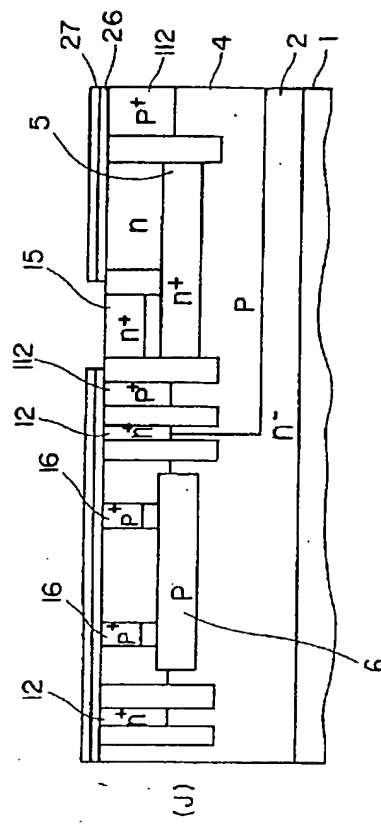
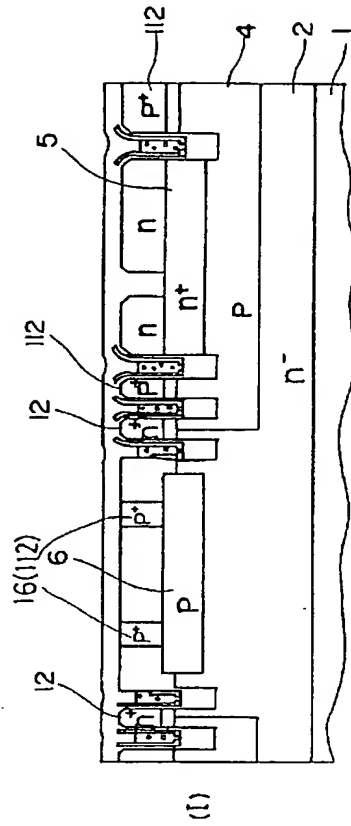


実施例の製造方法(3)  
第2図



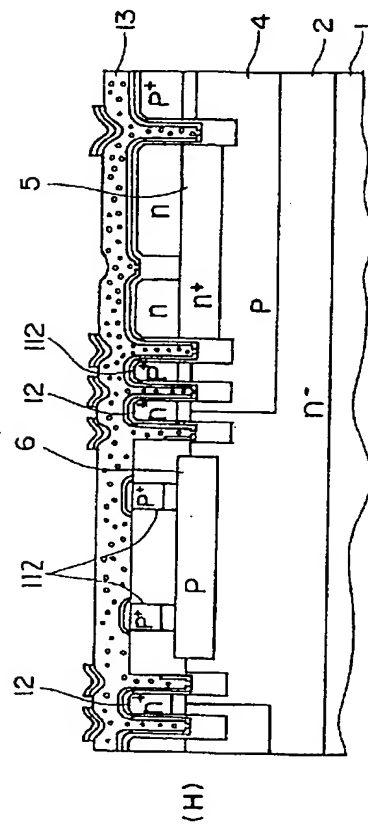
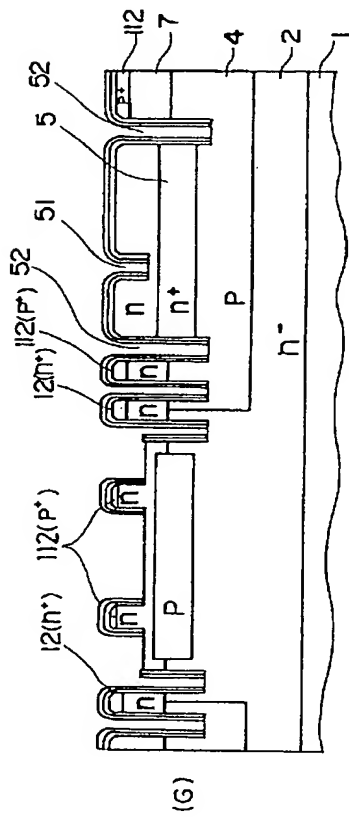
実施例の製造方法(2)  
第2図





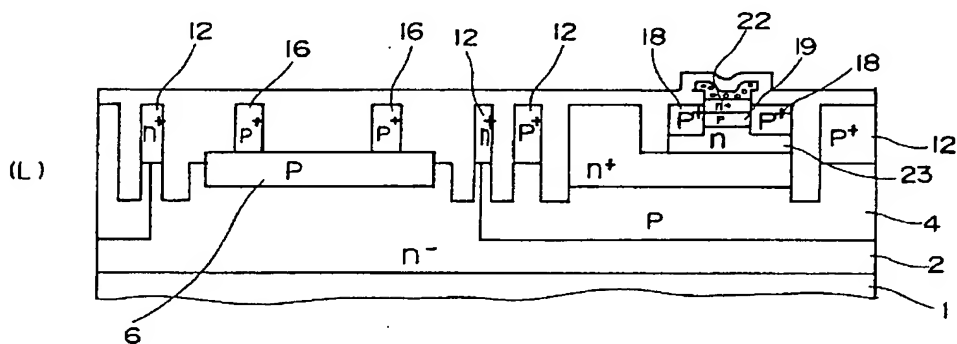
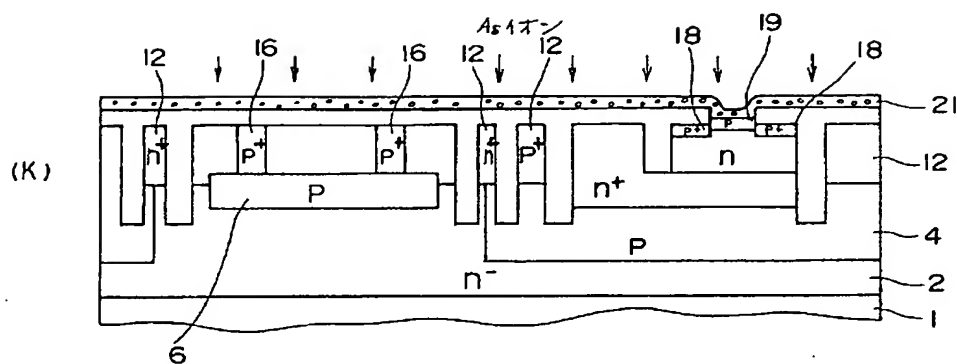
実施例の製造方法(5)

第 2 図



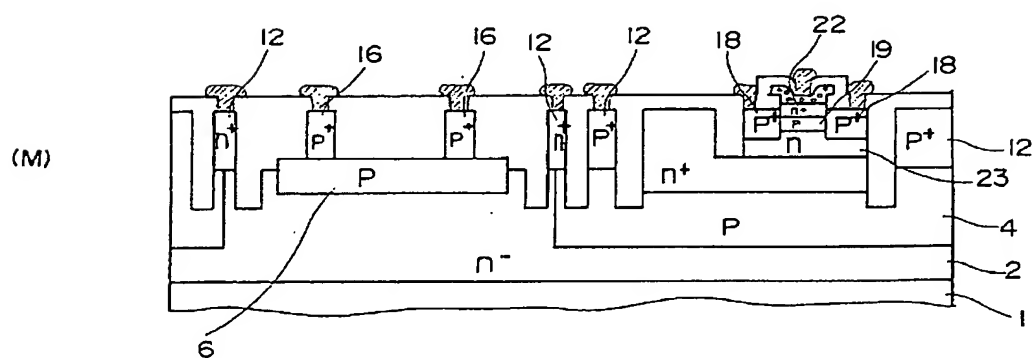
実施例の製造方法(4)

第 2 図



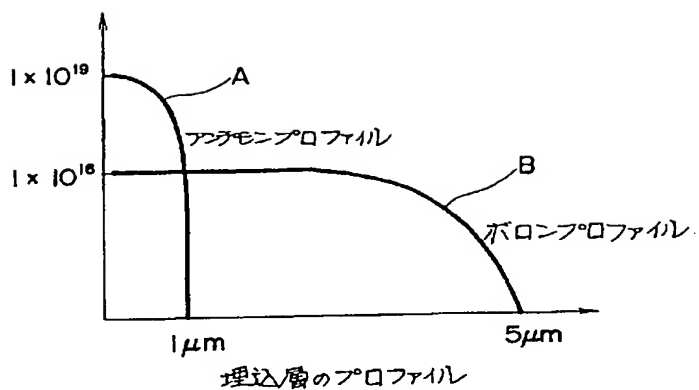
### 実施例の製造方法(6)

第 2 圖

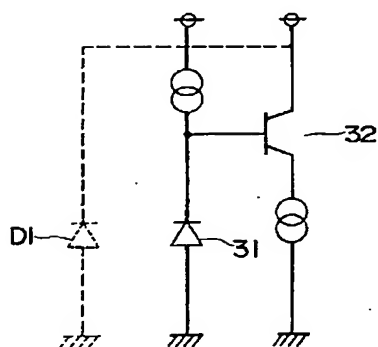


### 実施例の製造方法(7)

第 2 圖

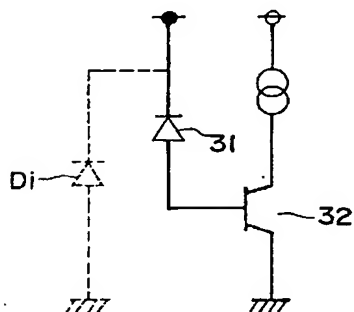


第 3 図



基板をP型にしたときの等価回路

第 4 図



基板をN型にしたときの等価回路

第 5 図

第 1 頁の続き

⑤Int. Cl. 9

H 01 L 21/331  
29/73

識別記号

庁内整理番号

⑦発 明 者 中 村

浩 康

静岡県浜松市市野町1126番地の 1 浜松ホトニクス株式会  
社内

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**